BEST AVAILABLE COMY

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication

1020020040094 A

(43)Date of publication of application:

30.05.2002

(21)Application number: 1020000070011

(22)Date of filing:

23.11.2000

(71)Applicant:

SAMSUNG ELECTRONICS

CO., LTD.

(72)Inventor:

SHIN, SU HO YANG, WON SEOK

(51)Int. CI

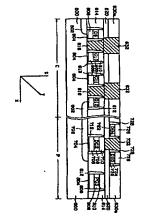
H01L 27/02

(54) SEMICONDUCTOR INTEGRATED CIRCUIT HAVING RESISTOR AND MANUFACTURING METHOD

(57) Abstract:

PURPOSE: A semiconductor integrated circuit having a resistor and a manufacturing method thereof are provided to include a resistor on a peripheral region without increasing the size of the semiconductor integrated circuit by forming resistor on a dummy gate electrode or between a pair of dummy bit lines.

CONSTITUTION: A semiconductor integrated circuit comprises a semiconductor substrate having a cell array region(C) and a peripheral region(P), a dummy gate electrode structure(DG1) formed in the



peripheral region(P), a hole locating on the dummy gate electrode structure(DG1), insulation layers (614,620,630a) covering the dummy gate electrode structure(DG1), and a resistor(732) made of a conductive material such as a polysilicon filling the hole. In addition, a first bit line structure(DB4) and a second bit line structure(DB5) are contacted on the both sidewalls of the resistor(732). At this point, the resistor on a peripheral region is formed without increasing the size of the circuit.

©: KIPO 2002

Legal Status

Date of request for an examination (20001123) Final disposal of an application (registration) Date of final disposal of an application (20020625) Patent registration number (1003468410000) Date of registration (20020718)

특2002-0040094

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷ HOIL 27/02	(11) 공개번호 특2002-0040094 (43) 공개일자 2002년05월30일
(21) 출원번호 (22) 출원일자	10-2000-0070011 2000년11월23일
(71) 출원민	삼성전자 주식회사 윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 신수호
	서울특별시도봉구쌍문동73경남이파트1동1010호
	양원석
(74) 대리인	경기도용인시수지읍동천리176-1풍림아파트201동507호 이영필, 정상빈, 이래호
신사성구 : 있음	

(54) 저항 소자를 구비하는 반도체 집적 회로 및 그의 제조 방법

200

다성 현상을 방지하기 위해 주변 회로 영역에 형성되는 더미 게미트 전국 구조체의 상부 및/또는 한쌍의더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하고, 더미 게미트 전국 구조체의 캐핑막과 스페이서 및/또는 더미 비트라인 구조체의 캐핑막 및/또는 스페이서를 이용해서 저항 소자의 폭 및/또는 높미를 공정 조건에 영향을 받지 않고 일정한 범위내의 값으로 형성할 수 있으므로, 반도체 집적 회로의 면적 을 증가시키지 않으면서 안정된 저항값을 갖는 저항 소자 및 그의 형성 방법이 개시된다.

Q#5

£3

42101

자기 정렬, 폴리실리콘, 저항

BAIN

도면의 간단환 설명

또 1은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 1 실시예를 보여주는 단면도이다. 도 2는 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 2 실시예를 보여주는 단면도이다

도 3은 본 발명에 따른 반도체 집적 회로에서 사용되는 저항 소자의 제 3 실시예를 보며주는 단면도이다. 도 4.내지 도 7은 본 발명의 제 1 실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 제조 공정 단면도들이다.

도 8 및 도 9는 본 발명의 제 2.실시예에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위 한 공정 단면도들이다.

도 10 및 도 11은 본 발명의 제 3 실시에에 따른 반도체 집적 회로의 저항 소자의 형성 방법을 설명하기 위한 공정 단면도들이다.

발명의 상세환 설명

监영의 목적

世界的 今哥七 기金 및 그 분야의 중계기술

본 발명은 반도체 집적 회로에 관한 것으로, 특히 저항 소자를 포함한 반도체 집적 회로 및 그의 형성 방법에 관한 것이다.

반도체 집적 회로는 다수의 단위 셀로 구성된 셀 마레이 영역과 셀 영역의 외부에 위치하여, 신호의 지연 등을 포함하여 단위 셀의 동작 및 그의 입/출력을 제어하는 반도체 회로 예를 들면, 드라이버, 버퍼 또는 증폭기 등으로 이루어지는 주변회로 영역을 포함한다. 셀 머레이 영역 및 주변회로 영역의 반도체 회로들

은 능동 소자인 트랜지스터와 수동 소자인 저항을 기본적으로 포함한다. 즉, 반도체 집적 회로를 제조하는 과정은 다수의 트랜지스터와 다수의 저항 소자를 형성하는 공정을 수반하게 되고, 셀 머레미 영역에 반도체 소자를 형성할때 주변 회로 영역에서도 거의 동시에 동일한 종류의 반도체 소자를 형성한다.

종래의 반도체 집적 회로에는, 셀 어레이 영역의 게이트 전국 구조체를 형성하는 불질과 동일한 물질로 이루어지는 주변 회로 영역의 더미 게이트 전국 구조체를 이용하는 게이트 播리 저항 소자, 셀 어레이 영역에 형성되는 자기 정렬 콘택 플러그와 동일한 물질로 형성되며 주변 회로 영역의 더미 게이트 전국 구조체를 사이에 형성되는 자기 정렬 콘택 플러그와 동일한 물질로 형성되며 주변 필로 플러그 저항 소자 또는 진하는 자기 정렬 콘택 플러그 저항 소자 또는 티타늄 나이트라이드막과 플리실리몬으로 이루어지는 셀 어레이 영역의 플레이트 전국과 동일한 물질로 이루어지는 플레이트 전국과 동일한 물질로 이루어지는 플레이트 전국 저항 소자가 사용되고 있다. 게이트 전국 구조체 및 더미 게이트 전국 구조체는 게이트 절면약, 게이트 전국 그리고 게이트 전국 상면에 형성되는 캐핑막 및 이들의 촉면에 형성되는 스페이서를 포함한다.

주변 회로 영역에서 사용되는 저항 소자의 값은 수 없 또는 수백 없이 필요하다. 따라서, 폴리사이드 구조의 게이트 폴리 저항 소자를 이용할 경우에는 낮은 면저항때문에 게이트 폴리 저항 소자의 길이를 길게 해야하므로, 반도체 집적 회로의 면적을 증가시켜야 하는 문제가 있다.

또한, 자기 정렬 콘택 플러그 저항 소자는 셀 어레이 영역의 자기 정렬 콘택 플러그 즉, 비트 라인 콘택플러그의 형성과 동시에 형성된다. 이후 셀 어레이 영역 및 주변 회로 영역에 비트 라인이 형성되는데, 비트 라인에는 N+ 또는 P의 불순물 이온이 주입된다. 불순물 이온의 도핑 및 이온 주입 공정에 수반되는 후속 열처리에 의해 자기 정렬 콘택 플러그를 구성하는 물질의 비저항의 변하게 되어, 자기정렬 콘택 플러그 저항 소자의 값이 공정 조건에 따라 변하게 된다. 또한, 자기 정렬 콘택 플러그를 형성하기 위한 기계 및 화학적 연마 공정 조건에 의해, 셀 어레이 영역의 자기 정렬 콘택 플러그를 포함하여 주변 회로 영역의 자기 정렬 콘택 플러그 저항 소자의 값이 명역의 자기 정렬 콘택 플러그 저항 소자의 값이 병투되다.

이러한 저항 소자의 값 변동은 저항 소자를 포함하는 반도체 소자의 동작 특성을 불안정하게 만드는 결과 를 초래한다.

한편, 플레이트 전극 저항 소자를 사용할 경우에는 폴리실리콘에 비해 낮은 저항값을 갖으므로 전자의 주요 통로가 되고 있는 티타늄 나이트라이막의 두께가 공정 조건에 따라 변동되게 되고, 플레이트 전국의 폭이 사진 식각의 노광 및 현상 조건에 따라 변동되게 된다. 또한, 티타늄 나이트 라이드막과 폴리실리콘 막이 셀 머레이 영역에는 전면에 걸쳐 패터닝되는 반면 주변 회로 영역에서는 저항 소자가 형성될 영역에 만 패터닝되므로, 로딩 효과에 의해, 원하는 사이즈를 갖는 저항 소자를 얻기 곤란하다.

그리고, 플레이트 전국으로 도전성 물질의 하나인 금속을 사용하는 경우에는 낮은 면저항으로 인해 플레이트 전국 저항 소자의 길이를 증가시켜야 하는 문제가 있다.

监督이 이루고자하는 기술적 承재

따라서, 본 발명이 이루고자 하는 기술적 과제는 집적도를 감소시키지 않으면서 반도체 집적 회로의 제조 공정에 따른 값의 변동이 억제되거나 감소되는 저항 소자 및 그의 형성 방법을 제공하는 것이다.

· 발명의 구성 및 작용

본 발명이 이루고자 하는 기술적 과제를 달성하기 위해, 반도체 기판의 주변 회로 영역에 형성되는 더미 게이트 전국 구조체 상부에 도전성 물질 예를 들면 폴리실리콘으로 이루어진 저항 소자를 형성하거나 또 는/및 더미 게이트 전국 구조체 상부에 형성되는 더미 비트 라인 구조체와 인접 더미 비트 라인 구조체 사이에 도전성 물질 예를 들면 폴리실리콘으로 이루어지는 저항 소자를 형성한다.

한편, 더미 게이트 전국 구조체는 폴리실리콘층과 고용점 금속 실리사이드층으로 이루어진 게이트 전국과 게이트 전국 상면에 형성된 더미 게이트 캐핑막을 포함하며, 더미 비트 라인 구조체도 더미 비트 라인과 그 상부에 더미 비트 라인 캐핑막을 포함한다. 그리고, 더미 게이트 캐핑막과 더미 비트 라인 캐핑막이 더미 게이트 전국 구조체를 덮는 절연막과 더미 비트 라인 구조체를 덮는 절연막에 대해 식각 선택비가 높은 물질로 이루어지게 하며, 더미 케이트 전국 구조체 상부에 형성되는 저항 소자의 높이가 공정 조건 에 따라 변화되는 문제를 제거하거나 또는 변동 폭을 감소시킨다.

나아가, 더미 바트 라인 구조체가 더미 비트 라인과 그 상부에 형성되는 더미 비트 라인 캐핑막의 촉벽에 형성된, 더미 비트 라인 구조체를 덮는 절연막에 대해 높은 식각 선택비를 갖는 물질로 이루어진 스페이 서를 더 포함으로써, 서로 인접하는 더미 비트 라인 구조체 사미에 형성되는 저항 소자의 폭미 공정 조건 에 따라 변화되는 문제를 제거하거나 또는 감소시킨다.

그런데, 셀 머레이 영역의 비트 라인과 동시에 형성되는 주변 회로 영역의 더미 비트 라인 구조체 형성 이후에, 더미 비트 라인 구조체 사이에 형성되는 저항 소자가 형성되므로, 전술한 저항 소자는 비트라인 에 털순물 이온을 도평하고 열처리하는 공정에 따른 열적 부담을 받지 않게 된다. 따라서, 더미 비트 라 인 구조체 사이에 형성되는 저항 소자의 비저항의 변동 폭이 상당히 감소하게 된다.

이하 본 발명을 첨부된 도면을 참조로 상세히 설명한다.

도 1은 본 발명의 일실시에에 따라 제조된 저항 조자를 구비한 반도체 집적 회로를 보여주는 단면도이다.

반도체 기판(100)은 셀 어레이 영역(C)과 주변 회로 영역(P)으로 구분되어 있다. 셀 어레이 영역(C)에서, 소자 분리막(102)에 의해 한정된 활성 영역 상의 반도체 기판에는 다수의 게이트 전국 구조체를(61, 62, 63, 64)이 형성되어 있다. 게이트 전국 구조체를(61, 62, 63, 64)은 게이트 절등(104), 폴리실리콘총(106), 고용점 금속 실리사이총(108), 게이트 전국 개팡막(110) 및 게이트 전국 스페이서(112)를 포함한다. 제 1 게이트 전국 구조체(61)와 제 2 게이트 전국 구조체(62) 사이 그리고 제 3 게이트 전국 구조체(63)와 제 4 게이트 전국 구조체(64) 사이에는, 게이트 전국 구조체 상부에 형성되 는 캐패시터(도시되지 않음)와 반도체 기판(100)의 활성 영역을 연결시키기 위한 스토리지 전국 연결 패드(116)가 형성되어 있다. 제 2 게이트 전국 구조체(62)와 제 3 게이트 전국 구조체(63) 사이에는 Y축 방향으로 배치되고 각각이 X축 방향으로 신장하는 비트 라인(도시되지 않음)과 활성 영역을 연결시키기위한 향으로 배치되고 각각이 X축 방향으로 신장하는 비트 라인(도시되지 않음)과 활성 영역을 연결시키기위한 리트 라인 연결 패드(도시되지 않음)가 형성되어 있다. 제 1 총간 절연막(114)은 게이트 전국 구조체들(61, 62, 63, 64)의 높이와 동일한 두페를 갖고 있으며, 게이트 전국 구조체들 사이를 채우다. 포한 제 1 총간 절연막(114)은 게이트 전국 스페이서(112) 및 게이트 전국 개핑막(110)에 대해 높은 식각 또한 제 1 총간 절연막(114)은 게이트 전국 스페이서(112) 및 게이트 전국 개핑막(110)에 대해 높은 식각 변비를 갖는 물질로 구성된다. 제 1 총간 절연막(114) 상면에는 스토리지 전국 연결 패드(116)와 이후 선택비를 갖는 물질로 구성된다. 제 1 총간 절연막(114) 상면에는 이로 경제도(116)와 이후 연막(120) 성면에는 비트 라인(120)를 청업되어 있다. 제 2 총간 절연막(120) 상면에는 비트 라인(120) 형성되어 있다. 제 2 총간 절연막(120) 상에 제 3 총간 절연막(1304)이 형성되어 있다. 제 2 총간 절연막(120) 상에 제 3 총간 절연막(1304)이 형성되어 있다. 제 2 총간 절연막(120)가 제 3총간 절연막(1304)가 자기 정렬 방식으로 형성되어 있다.

주변 회로 영역(P)에는 더미 게이트 전국 구조체(DGI)와, 드라이버, 증폭기 등과 같은 주변 회로 소자등을 구성하는 게이트 전국 구조체(PGI)가 형성되어 있다. 더미 게이트 전국 구조체(DGI)는 페리 게이트 전을 구성하는 게이트 전국 구조체(PGI)가 형성되어 있다. 더미 게이트 전국 구조체(DGI)는 페리 게이트 전국 구조체(PGI)와 셀 어레이 영역의 게이트 전국 구조체(GI, G2, G3, G4) 사이에 배치되어 제 I 총간 절면막(114)의 디상(dishing)을 방지한다. 그리고 페리 게이트 전국 구조체(PGI)와 더미 게이트 전국 구조 전막(114)의 디상(dishing)을 방지한다. 그리고 페리 게이트 전국 구조체(PGI)와 데미 게이트 전국 구조체(DGI)는 셀 어레이 영역(C)의 게이트 전국 구조체(DGI)는 레이스 등일한 공정 단계에서 영성된 제(DGI)는 셀 어레이 영역(C)의 게이트 전국 구조체(PGI)는 게이트 절면막(204, 304), 폴리실다. 더미 게이트 전국 구조체(DGI)와 페리 게이트 전국 구조체(PGI)는 게이트 절면막(214, 312)로 구리본 등(206, 306), 고용점 금속 실리사이드층(206, 306), 개평막(210, 310) 및 스페이서(212, 312)로 구리본 등(206, 306) 및 스페이서(212, 310) 및 스페이서(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 개공막(210, 310) 및 스페이서(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 개공막(210, 310) 및 스페이서(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이서(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이어(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이어(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이어(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이어(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다. 기공막(210, 310) 및 스페이어(212, 312)는 제 I 총간 절연막(114)에 대해 식각 선택비가 성되어 있다.

제 1 총간 절연막(114) 상에는 제 2 총간 절연막(120)이 형성되어 있으며, 제 2 총간 절연막(120) 상에는 제 1 총간 절연막(124) 상에는 제 2 총간 절연막(120)이 형성되어 있으며, 제 2 총간 절연막(120) 상에는 실 어레이 영역(C)의 비트 라인 구조체(DB1)는 베리어막(222), 더미 비트 라인(224), 더미 비트 라인되어 있다. 더미 비트 라인(DB1)은 실 어레이 캐핑막(226) 및 더미 비트 라인 스페이서(228)로 이루어져 있다. 더미 비트 라인(DB1)은 실 어레이 캐핑막(226) 및 더미 비트 라인 스페이서(228)로 이루어져 있다. 더미 비트 라인(DB1)은 실 어레이 개핑막(226) 및 더미 비트 라인 스페이서(228)로 이루어져 있다. 더미 비트 라인(DB1)은 성 어레이 제 3 총 영역(C)의 스토리지 전략 연결 플러그(1344)를 형성하기 위한 기계 및 화학적 연마 공정에 의해 제 3 총 영역막(130a)이 디싱되는 문제를 해결하기 위해 도입된 구성 요소이다. 더미 비트 라인 구조체(DB1)가간 절연막(130a)이 디싱되는 문제를 해결하기 위해 도입된 구성 요소이다. 더미 비트 라인 구조체(DB1)가간 혈성된 제 2 총간 절연막(130a)이 형성되어 있다. 제 3 총간 절연막(130a)은 더미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두께를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 동일한 두게를 갖는다. 제 3 총간 절연막(130a)은 데미 비트라인(DB1) 높이와 등의한적 연단 및 제 3 총간 절연막(130a)이 형성되어 있다.

이상에서 설명한 바에 의하면, 폴리 저항 소자(138a)를 반도체 집적 회로의 주변 회로 영역에 형성되는 더미 게이트 전국 구조체(DG1) 상부에 형성하되 저항 소자(138a)의 높이를 더미 비트 라인 구조체(DB1)의 높이를 이용해 결정함으로써, 반도체 집적 회로의 면적 증가 없이 높이의 변동이 적은 저항 소자를 구현할 수 있다.

도 2는 본 발명의 다른 실시예에 따라 제조된 저항 소자들을 구비한 반도체 집적 회로를 보여주는 단면도 이다.

반도체 기판(400)의 셑 머레이 영역(C)에 형성된 게이트 전국 구조체들(65, 66, 67, 68), 제 1 총간 절연막(414) 내에 형성된 스토리지 전국 연결 패드(416), Y축 방향으로 배치되고 X축 방향으로 신장하는 비트 라인(도시되지 않음), 제 1 총간 절연막 내에 형성된 비트 라인 연결 패드(도시되지 않음), 제 2 총간 절연막(420) 및 제 3 총간 절연막(430a)내에 형성된 스토리지 전국 연결 플러그(432) 및 제 2 총간 절연막(420) 내에 형성된 비트 라인 구조체 연결 플러그(도시되지 않음)는 제 1 실시예의 것과 동일하다. 참막(420) 내에 형성된 비트 라인 구조체 연결 플러그(도시되지 않음)는 제 1 실시예의 것과 동일하다. 참 막(420) 내에 형성된 비트 라인 구조체 연결 플러그(도시되지 않음)는 제 1 실시예의 것과 동일하다. 참 모 선호 402는 소자 분리막이며, 404는 게이트 절연막, 406은 폴리실리콘총, 408은 고용점 금속 실리사이도층, 410은 게이트 전국 개핑막, 412는 게이트 전국 스페이사이다.

도층, 410은 게이트 전국 캐핑막, 412는 게이트 전국 스페이서이다.
한편, 주변 회로 영역(P)에서는, 소자분리막(502)이 형성된 반도체 기판(400) 상에 페리 게이트 전국 구조체(P61)와 같이, 조체(P62)가 형성되어 있다. 페리 게이트 전국 구조체는 도 1의 페리 게이트 전국 구조체(P61)와 같이, 조체(P62)가 형성되어 있다. 페리 게이트 전국 구조체는 도 1의 페리 게이트 전국 구조체(P61)와 같이, 조레실리콘흥(504), 고용점 금속 살리사이드총(506) 및 페리 게이트 전국 케핑막(510) 및 메리 게이트 스페이서(512)로 이루어져 있다. 캐핑막(510) 및 스페이서(512)는 제 1 총간 됐당(510) 및 메리 게이트 스페이어(512)로 이루어지는 것이 바람직하다. 페리 게이트 전국 구조체(P62)의 높이와 제 1 총간 절연막(414)의 두께는 같도록 구성되어 있다. 제 1 총간 절연막(414) 상 구조체(P62)의 높이와 제 1 총간 절연막(414)의 두께는 같도록 구성되어 있다. 제 2 총간에는 제 2 총간 절연막(420)과 제 3 총간 절연막(430a)에 순차적으로 형성되어 있다. 제 2 총간에는 제 3 절연막(430a)에 반에는 한생의 더미 비트 라만 구조체(DB2, DB3)이 형성되어 있었으며 이를 사이에는 도전성 물질 예를 들면 즐리살리콘으로 이루어지는 저항 소자(532)가 형성되어 있었으며 이를 사이에는 도전성 물질 예를 들면 즐리살리콘으로 이루어지는 저항 소자(532)가 형성되어 있었으며 이를 사이에는 도전성 물질 예를 들면 즐리살리콘으로 이루어지는 저항 소자(532)가 형성되어 있다. 더미 비트 라인 구조체(DB2, DB3)는 도 1의 더미 비트 라인 구조체(DB1)과 같이, 배리어막(522), 더미 비트 라인 개핑막(526)를 제 3 총간 절연막(430a)에 대해 식각 선택비가 높은 물질로 구성하여, 그의 상비를 가지는 물질로 구성하여 풀리 저항 소자(532)의를 제 3 총간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 풀리 저항 소자(532)의를 제 3 총간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 풀리 저항 소자(532)의를 제 3 총간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 풀리 저항 소자(532)의를 제 3 총간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 풀리 저항 소자(532)의를 제 3 총간 절연막(430a)에 대해 높은 식각 선택비를 가지는 물질로 구성하여 풀리 저항 소자(532)의 목을 자기 정렬 방식으로 결정한다. 즉 폴리 저항 소자(532)의 목은 폴리 저항 소자를 형성하기 위한 마족을 자기 정렬 방식으로 결정한다. 즉 폴리 저항 소자(532)의 저항 값의 변동이 적게 된다.

한편, 도 2는 주변 회로 영역 중, 더미 게이트 전극 구조체(도시되지 않음)가 형성되지 않는 제 1 총간 절면막(414) 상에 더미 비트 라인 구조체(DBZ, DB3)가 형성된 경우를 나타낸 것으로, 폴리 저항 소자의 바닥면(534)이 제 1 총간 절면막(534) 내에 형성되어 있다. 그러나, 원하는 저항 값에 맞추어 저항 소자 의 바닥면을 제 2 절면막(420) 또는 반도체 기판(400)으로 단촉 또는 연장할 수 있다. 도 2에서는 폴리 저항 소자(532) 하부의 반도체 기판(400)에는 소자 분리막(502)이 형성되어 있으나, 경우에 따라서는 활 성 영역미 형성되어 있을 수 있으며 이 경우에는 저항 소자를 형성하기 위해 활성 영역도 고려할 수 있 다.

도 3은 본 발명의 또 다른 실시에 따라 제조된 저항 소자를 구비한 반도체 집적 회로를 보여추는 단면도

반도체 기판(600)의 셀 어레이 영역(C)에 형성된 게이트 전국 구조체(63, 610, 611, 612), 제 1 총간 절면막(614) 내에 형성된 스토리지 전국 연결 패드(616), Y축 방향으로 배치되고 X축 방향으로 신장하는 비트 라인(도시되지 않음), 제 1 총간 절면막(616) 내에 형성된 비트 라인 연결 패드(도시되지 않음), 제 2 총간 절연막(620) 및 제 3 총간 절연막(630a)내에 형성된 스토리지 전국 연결 플러그(632) 및 제 2 총 2 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(620) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것간 절연막(630) 내에 형성된 비트 라인 연결 플러그(도시되지 않음)는 제 1 실시예 및 제 2 실시예의 것은 점인 및 제 2 실시에의 제 2 실시에의 및 제 2 실시에의 제 2 실시에의

점 금속 실리사이드총, 610은 게이트 전국 캐핑막, 612는 게이트 전국 스페이서이다.

주변 회로 영역(P)은 소자분리막(702)이 형성된 반도체 기판(600) 상에 더미 게이트 전국 구조체(062)와 페리 게이트 전국 구조체(P62)가 형성되어 있다. 더미 게이트 전국 구조체(062)는 도 1의 더미 게이트 전 구조체(061)와 같이, 게이트 절면막(704), 폴리실리콘총(706), 고용점 금속 실리사이드총(708) 및 더 구조체(061)와 같이, 게이트 절면막(704), 폴리실리콘총(706), 고용점 금속 실리사이드총(708) 및 더미 게이트 전국 개핑막(710) 및 스페이서(712)로 이루어져 있다. 페리 게이트 전국 구조체(P63)는 도 2의 메리 게이트 전국 구조체(P62)와 같이, 게이트 절면막(802), 폴리실리콘총(804), 고용점 금속 실리사이드 등(806) 및 페리 게이트 전국 개핑막(810) 및 페리 게이트 전국 스페이서(812)로 이루어져 있다. 총(806) 및 페리 게이트 전국 가조체(P63)와 높이와 제루어지는 것이 바람직하다. 더미 게이트 전국 구조체(D62)와 페리 게이트 전국 구조체(P63)의 높이와 제루어지는 것이 바람직하다. 더미 게이트 전국 구조체(D62)와 페리 게이트 전국 구조체(P63)의 높이와 제무어지는 것이 바람직하다. 더미 게이트 전국 구조체(D62)와 페리 게이트 전국 구조체(P63)의 높이와 제민 음간 절연막(614)의 두메는 같도록 구성되어 있다. 제 1 총간 절연막(614) 상에는 제 2 총간 절연막(620)과 집 총간 절연막(620)과 전의 등간 절연막(620)과 제 3 총간 절연막(630a)이 순차적으로 형성되어 있다. 제 2 총간 절연막(620) 상면에는 한건성 물질 예를 들면 폴리실 생의 더미 비트 라인 구조체(D84, D85)가 형성되어 있다. 플리 저항 소자(732)는 더미 게미트 전국 리콘으로 이루어지는 저항 소자(732)가 형성되어 있다. 등리 저항 소자(732)는 더미 게미트 전국 리콘으로 이루어지는 저항 소자(732)의 기본 대미 비트라인 가핑막(710) 상면과 접촉하고 있다. 더미 비트라인 구조체(D84, D85)는 도 2의 더미 비트라인 구조체(D82, D83)와 같이, 배리어막(722), 더미 비트라인 가핑막(726)과 더미 비트라인 스페이서(724)로 이루어져 있다. 더미 비트라인 개핑막(726)과 등입 수준에 있게 해 식각 선택비가 높은 물질로 구성하여, 그의 상면이 폴리 저항 소자(732)의 상면과 통일 수준에 있게 자식각 선택비가 들어 모든 지항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 목은 자연으로 결정한다. 따라서 폴리 저항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 목은 다 전략 시설되어 영향된다. 따라서 폴리 저항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 성면의 물리 저항 소자(732)의 경험 임사인으로 결정한다. 따라서 폴리 저항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 성면의 물리 저항 소자(732)의 성은 용 마스크의 미소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 목은 다 전략이 조기 전략 시설으로 일정하게 형성된다. 또한 더미 게이트 구조체(D82)의 개핑막(710)에 제 2 총간 절연막(630)에 대한 식각 선택비가 큰 물질로 가성하여 폴리 저항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 목은 도 2에 도시된 폴리 저항 소자(732)의 생연의 폴리 저항 소자(732)의 성은 전략 전략적으로 결정한다. 따라서 작업 전략적으로 결정한다. 따라서 작업 전략적으로 결정한다. 따라서 작업 전략적으로 결정한다. 따라서 전략적으로 결정하여 크리 제항 소자(732)의 목은 조 2에 도시된 전략적으로 결정한 소자(732)의 목은 조 2에 도시된 전략적으로 결정한다. 따라서 전략적으로 결정한다. 따라서 전략적으로 결정한 소재(104) 전

또한 더미 게이트 구조체(062)의 캐핑막(710)이 제 2 총간 절연막(620)에 대한 식각 선택비가 큰 물질로 이루어지므로, 폴리 저항 소자(732)의 높이는 공정 조건에 민감하게 영향을 받지 않고, 더미 게이트 전 리의 캐핑막(710) 상면에서부터 더미 비트 라인 캐팡막(726)의 상면까지의 범위로 결정된다. 따라서, 도 3의 폴리 저항 소자(732)는 공정 조건에 따라 그의 폭 및 높이가 일정하게 되므로, 폴리 저항 소자(732)는 안정된 저항값을 얻을 수 있다.

도 4 내지 도 7을 참고하며, 본 발명의 제 1 실시예에 따른 저항 소자를 구비하는 반도체 집적 회로를 형 성하는 방법을 설명한다.

도 4에서, 셀 어레이 영역(C)과 주변 회로 영역(P)으로 이루어지는 반도체 기판(100)을 준비한다. 반도체 기판(100)에는 소자 분리막(102, 202)이 형성되어 있다. 반도체 기판(100) 상의 셀 어레이 영역에는 게이 기판(100)에는 소자 분리막(102, 202)이 형성되어 있다. 반도체 기판(100) 상의 셀 어레이 영역에는 게이트 전국 구조체(G1, G2, G3, G4)를 형성하고 이와 동시에 주변 회로 영역(P)에는 더미 게이트 전국 구조체(G1, G2, G3, G4)는 게이트 절체(DG1)와 페리 게이트 전국 구조체(PG1)를 형성한다. 게이트 전국 구조체(G1, G2, G3, G4)는 게이트 전국 연막(104), 폴리실리콘흥(106)과 교용점 금속 실리사이드흥(108)로 이루어진 게이트 전국, 게이트 전국 연막(104), 폴리실리콘흥(106)과 교용점 금속 실리사이드흥(108)로 이루어진 게이트 전국, 게이트 전국 상면에 위치하는 게이트 전국 개핑막(110)과 게이트 전국 스페이서(112)를 포함한다. 더미 게이트 전국 상면에 위치하는 게이트 전국 구조체(PG1)도 게이트 전국 구조체(DG1)와 페리 게이트 전국 구조체(PG1)도 게이트 전국 구조체들(G1, G2, G3, G4)과 유사하게, 게이구조체(DG1)와 페리 게이트 전국 구조체(PG1)도 게이트 전국 구조체들(G1, G2, G3, G4)과 유사하게, 게이로 절면막(204, 304), 게이트 전국(205+208, 306+308), 개핑막(210, 310)과 스페이서(212, 312)를 포함한 디

다음, 결과물 전면에 절면물질막(도시되지 않음)을 형성한 뒤, 셀 머레이 영역(C)의 절면물질막 내에 콘택홀(도시되지 않음)을 형성한다. 콘택홈을 포함한 절면물질막 상면에 도전성 물질총 예를 들면 폴리실리 콘흥(도시되지 않음)을 형성한다. 폴리 실리콘총이 형성된 반도체 기판을 기계 및 화학적 연마 방법으로 콘총(도시되지 않음)을 형성한다. 폴리 실리콘총이 형성된 반도체 기판을 기계 및 화학적 연마 방법으로 평탄화한다. 그런데, 게이트 전국 캐핑막(110), 더미 게이트 전국 캐핑막(210) 및 페리 게이트 전국 캐핑막(310)이 절면물질막에 대해 높은 식각 선택비를 가지므로, 전술한 기계 및 화학적 연마 과정은 캐핑막막(310)이 절면물질막에 사해 높은 식각 선택비를 가지므로, 전술한 기계 및 화학적 연마 과정은 캐핑막들(110, 210, 310)의 상면에서 정지된다. 결과적으로 그의 상면이 원하는 위치에 형성되는 스토리지 전략연결 패드(116) 및/또는 비트 라인 연결 패드(도시되지 않음)가 형성된다.

도 5에서, 평탄화된 제 1 총간 절연막(114) 상면에 제 2 총간 절연막(120)을 형성한다. 제 2총간 절연막(120)은 스토리지 전국 연결 패드(116)와 미후에 형성되는 비트 라인(도시되지 않음)과의 절연을 절연막(120)은 스토리지 전국 연결 패드(116)와 미후에 형성되는 비트 라인 연결패드와 연결되는 개위해 게재되는 막이다. 다음, 제 2 총간 절연막(120)의 소정 부분에 비트 라인 연결패드와 연결되는 개위해 기가되는 막이다. 다음, 제 2 총간 절연막(120)의 소정 부분에 비트 라인 연결 플러그를 형구부를 형성하고 상기 개구부를 도전성 물질 예를 즐면 폴리실리콘으로 채워 비트 라인 연결 플러그를 형성한다. 비트 라인 연결 플러그(도시되지 않음)는 비트 라인에 직접 연결되는 부분이다. 제 2 총간 절연성한다. 비트 라인 연결 플러그(도시되지 않음)를, 주변 회로 영역(P)쪽에는 더막(120) 상의 셀 머레미 영역(C)쪽에는 비트 라인 구조체(도시되지 않음)를, 주변 회로 영역(P)쪽에는 더막(120) 상의 셀 머레미 영역(C)의 비트 라인 구조체는 사측 방향으로 배열되고 사측 방향으로 신장한다. 더미 비트 라인 영역(C)의 비트 라인 구조체는 사측 방향으로 배열되고 사측 방향으로 신장한다. 더미 비트 라인 무조체(IBI)는 더미 베리어막(222), 더미 비트 라인(224), 더미 비트 라인 개필막(226)과 스페미서(228)를 포함한다. 다음, 비트 라인 구조체 및 더미 비트 라인 구조체(IBI)가 형성된 제 2 총간 절연막(120)상에 절연물질막(130)을 형성한다.

도 6에서, 주변 회로 영역(P)을 마스크(132)로 덮은 후, 절연물질막(130)과 제 2 총간 절연막(120)을 식

각하며 스토리지 전극 연결 패드(116)를 노출시키는 개구부를 형성한다. 그리고 개구부를 포함한 절연물 질막(130) 상면에 도전총인 폴리실리콘총(134)을 형성한다.

도 7에서, 주변 회로 영역(P)상에 형성되어 있던 마스크(132)를 제거한 뒤, 셀 머레이 영역(C)만을 덮는 마소크(136)를 형성한다. 그리고, 더미 게이트 전극 구조체(DGI)의 캐핑막(210) 상면을 노출시키는 개구 부를 형성한다. 개구부를 포함하는 절연물질막(130) 상면에는 폴리실리몬총(138)을 형성한다.

다음, 마스크(136)를 제거한 뒤, 절연 물질막(130)에 대해 기계 및 화학적 연마를 실시한다. 연마 공정은 주변 회로 영역(P)의 더미 비트 라인 구조체(DB1)의 케핑막(226)의 상면까지 진행되며, 연마 공정 이후의 모습은 도 1에 도시되어 있다.

전술한 설명에 의하면, 디슁 현상을 방지하기 위해 반도체 집적 회로에 통상 사용되는 더미 게이트 전국 구조체 상부에 출리 저항 소자(138a)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증 구조체 상부에 출리 저항 소자(138a)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증 가가 발생하지 않는다. 그리고, 절연물질막(130)에 대해 식각 선택비가 높은 물질로 더미 베트 라인 구조 가가 발생하지 않는다. 그리고, 절연물질막(130)에 대해 식각 선택비가 높은 물질로 더미 베트 라인 구조 제(DB1)의 캐핑막(226)을 형성함으로써, 연마 공정의 구제적인 조건에 관계 없이 줄리 플러그 저항 소자 체(DB1)의 캐핑막(226)을 형성함으로써, 연마 공정의 구제적인 조건에 관취 공기 관계 있다. (나라서, 공정 조건에 따른 폴리 플러그 저항 소자(138a)의 저항 값의 변동 범위를 감소시킬 수 있다.

도 8 및 도 9를 참고하여, 본 발명의 제 2 실시에에 따른 저항 소자를 구비하는 반도체 집적 회로를 형성하는 방법을 설명한다.

셀 어레이 영역(C)과 주변 회로 영역(P)을 포함하며, 소자분리막(402, 502)을 포함하는 반도체 기판(400)을 준비한다. 반도체 기판(400) 상의 셀 어레이 영역(C)족에는 게이트 전국 구조체들(65, 66, 67, 68)을 형성함과 동시에 주변 회로 영역(P)에는 페리 게이트 전국 구조체(PG2)를 형성한다. 주변 회로 영역 중 더미 게이트 전국 구조체가 나타나지 않은 부분을 선택하며 도 8에 도시한 것이다.

게이트 전국 구조체(65, 66, 67, 68) 및 페리 게이트 전국 구조체(PG2)의 구성은 도 4에 설명한 게이트 전국 구조체(81, 62, 63, 64) 및 페리 게이트 전국 구조체(PG1)의 것과 동일하다. 제 1 총간전국 구조체(81, 62, 63, 64) 및 페리 게이트 전국 구조체(PG1)의 것과 동일하다. 제 2 총간절연막(414), 스토리지 전국 연결 패드(416), 비트 라인 연결 패드(도시되지 않음), 제 2 총간절연막(420), 비트라인 구조체(도시되지 않음) 및 절연물질막(430)의 형성 방법은 도 4의 설명이 적용된다.

다만, 도 4에서는 더미 비트 라인 구조체를 하나만 형성하였으나, 도 8에서는 한쌍의 더비 비트 라인 구조체를 형성하였다.

절면물질막(430)을 형성한 뒤, 셀 어레미 영역(C)에서는 절면물질막(430)과 제 2 총간 절면막(420)에 스토리자 전극 연결 패드를 노출시키는 개구부를 형성하며, 주변 회로 영역(P)에서는 한쌍의 더미 비트라인 투리자 전극 연결 패드를 노출시키는 개구부를 형성하며, 주변 회로 영역(P)에서는 한쌍의 더미 비트라인 구조체 사이의 절면물질막(430)과 제 2 총간 절면막(420) 그리고 제 1 총간 절면막(414)의 일부를 스페이 거조체 사이의 절면물질막(430)과 제 2 총간 절면막(420) 그리고 제 1 총간 절면막(414)의 일부를 스페이 사(528)와 개필막(526)을 미용하여 자기 정렬 방식으로 식각한다. 다음, 결과물 전면에 도전성 물질층 예서(528)와 개필막(526)을 미용하여 자기 정렬 방식으로 식각한다. 다음, 결과물 전면에 도전성 물질층 예성(528)와 개필막(526)을 미용하여 자기 정렬 방식으로 식각한다. 다음, 결과물 전면에 도전성 물질층 예성 한다. 한편, 풀리 저항 소자(532)의 바닥면(534)의 위치는 원하는 저항값에 따라 결정할소자(532)를 형성한다. 한편, 풀리 저항 소자(532)의 바닥면(534)의 위치는 원하는 저항값에 따라 결정할수 있다. 그리고 개필막(526)이 절면물질막(430) 또는 제 3 총간 절면막(430a)에 대해 높은 식각 선택비수 있다. 그리고 개필막(526)이 절면물질막(430) 또는 제 3 총간 절면막(430a)에 대해 높은 식각 선택비수 있다. 그리고 개필막(526)의 상면에서 정지된다.

디싕 현상을 방지하기 위해 반도체 집적 회로에 통상 형성되는 더미 비트 라인 구조체 사이에 폴리 저항 소자(13%)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그 소자(13%)를 형성하므로, 저항 소자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그 리고, 절연물질막(430)에 대해 식각 선택비가 높은 물질로 더미 비트 라인 구조체(DB2, DB3)의 리고, 절연물질막(430)에 대해 식각 선택비가 높은 물질로 더미 비트 라인 구조체(DB2, DB3)의 커핑막(526)을 형성함으로써, 연마 공정의 구제적인 조건에 관계 없이 폴리 폴리그 저항 소자(532)의 상 커핑막(526)을 형성함으로써, 연마 공정의 구제적인 조건에 관계 없이 폴리 폴리 자기 정렬 방식으로 결 단면을 결정할 수 있다. 또한 스페이서(528)에 의해 폴리 저항 소자(532)의 폭이 자기 정렬 방식으로 결 단면을 결정할 수 있다. 또한 스페이서(528)에 의해 폴리 저항 소자(532)의 폭이 자기 정렬 방식으로 결 단면을 결정할 수 있다. 또한 스페이서(528)의 저항 강의 변동 범위를 더욱 감소시킬 수 있다. 비해 공정 조건에 따른 폴리 저항 소자(13%)의 저항 강의 변동 범위를 더욱 감소시킬 수 있다.

도 10 및 도 11을 참고하며, 본 발명의 제 3 실시예에 따른 저항 소자를 구비하는 반도체 집적 회로를 형성하는 방법을 설명한다.

도 10에서, 빈도체 기판(600) 상의 셀 머레이 영역(C)쪽에는 게이트 전국 구조체들(69, 610, 611, 612)을, 주변 회로 영역(P)쪽에는 더미 게이트 전국 구조체(D62)와 페리 게이트 전국 구조체(P63)를 형성하는 과정, 이름을 제 1층간 철연막(614)으로 덮는 과정, 제 1 층간 철연막(614) 내에 스토리지 전국 연결 패정, 이름을 제 1층간 철연막(614)으로 덮는 과정, 제 1 층간 철연막(614) 내에 스토리지 전국 연결 패도(515) 및/또는 비트 라인 연결 패드(515)로 형성하는 과정들은 도 4에 대한 설명이 적용된다.

제 1 총간 절연막(614) 상에 제 2 총간 절연막(620)을 형성하는 과정, 제 2 총간 절연막(620) 내에 비트 라인 연결 플러그(도시되지 않음)를 형성하는 과정, 제 2 총간 절연막(620) 상에 비트 라인 구조체(도시 되지 않음)와 더미 비트 라인 구조체(DB4, DB5)를 형성하는 과정 및 더미 비트 라인 구조체(DB4, DB5)를 덮는 절연물질막(630)을 형성하는 과정은 도 8에 대한 설명이 적용된다.

절연물질막(630)을 형성한 뒤, 셀 어레이 영역(C)에서는 절연물질막(630)과 제 2 총간 절연막(620)에 스 토리지 전국 연결 패드를 노출시키는 개구부를 형성하며, 주변 회로 영역(P)에서는 한쌍의 더미 비트라인 무조체(DB4, DB5) 사이의 절연물질막(630)과 제 2 총간 절연막(620)을 스페이서(728)와 캐필막(726)을 이 구조체(DB4, DB5) 사이의 절연물질막(630)과 제 2 총간 절연막(620)을 게필막(710)이 제 2 총간 용하여 자기 정렬 방식으로 식각한다. 한편, 더미 게이트 전국 구조체(DB2)의 캐필막(710)이 제 2 총간 용하여 자기 정렬 방식으로 식각한다. 한편, 더미 게이트 전국 구조체(DB2)의 캐필막(710)이 제 2 총간 절연막(620)에 대한 식각선택비가 큰 물질로 이루어졌으므로, 자기 정렬 식각 공정은 더미 게이트 전국 구조체(DG2)의 캐필막(710) 표면에서 정지하게 된다.

다음, 결과물 전면에 도전성 물질층 예를 들면 폴리실리콘총(도시되지 않음)을 형성한 뒤, 기계 및 화학 적 연마를 진행하며 폴리 저항 소자(732)를 형성한다. 여기서 캐핑막(726)이 절연물질막(630) 또는 제 3 총간 절연막(630a)에 대해 높은 식각 선택비를 가지는 물질로 이루어져 있으므로, 기계 및 화학적 연마 공정은 더미 비트 라인 구조체(DB4, DB5)의 캐핑막(726)의 상면에서 정지된다.

본 실시에에서는 디슁 현상을 방지하기 위해 반도체 집적 회로에 통상 형성되는 더미 게이트 전국 구조체(062)상부의 더미 비트 라인 구조체(084, 085) 사이에 졸리 저항 소자(732)를 형성하므로, 저항 소 구조체(062)상부의 더미 비트 라인 구조체(084, 085) 사이에 졸리 저항 소자(732)를 형성하므로, 저항 소 자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그리고, 폴리 저항 소자(732)의 폭은 자 형성을 위한 반도체 집적 회로의 면적 증가가 발생하지 않는다. 그리고, 폴리 저항 소자(732)의 폭은 한상의 스페이서(728)에 의해 결정되고 그의 높이는 더미 비트 라인 캐핑막(726)과 더미 게이트 전국 캐 한상의 스페이서(728)에 의해 결정되고 그의 높이는 더미 비트 라인 캐핑막(726)과 더미 게이트 전국 캐 한상의 스페이서(728)에 의해 결정되고 그의 높이는 더미 비트 라인 캐핑막(726)과 더미 게이트 전국 캐 한상의 스페이서(728)에 의해 결정되고로, 폴리 저항 소자(138a)의 저항 값을 얻을 수 있다. 고 연마 공정의 구제적인 조건에 관계 없이, 안정적인 폴리 저항 소자(138a)의 저항 값을 얻을 수 있다.

본 발명에서는 디슁 현상을 방지하기 위해 주변 회로 영역에 형성되는 데미 게이트 전국 구조체의 상부 및/또는 한쌍의 더미 비트 라인 구조체 사이의 영역에 저항 소자를 형성하므로, 반도체 집적 회로의 면적 을 증가시키지 않으면서 주변 회로 영역에 저항 소자를 형성할 수 있다.

그리고, 더미 게이트 전국 구조체의 캐핑막과 스페이서 및/또는 더미 비트라인 구조체의 캐핑막 및/또는 스페이서를 이용해서 폴리 저항의 폭 및/또는 높이를 공정 조건에 영향을 받지 않고 일정한 범위내에서 형성할 수 있으므로, 이들 영역에 형성된 저항 소자의 저항값이 안정하게 된다.

(57) 경구의 범위

청구항 1. 셀 머레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 주변 회로 영역의 상기 반도체 기판에 형성된 더미 게이트 전국 구조체,

상기 더미 게이트 전국 구조체 상부에 위치하는 개구부를 구비하며 상기 더미 게이트 전국 구조체를 덮는 절연막, 및

도전성 물질로 이루어지고 상기 개구부를 점유하는 저항 소자를 구비하는 반도체 집척 회로

청구항 2. 제 1 항에 있어서, 상기 더미 게이트 전국 구조체는 상기 기판 상에 순차적으로 형성된 폴리 실리콘증과 고융점 금속 실리사이드총으로 이루어진 게이트 전국, 상기 게이트 전국 상면에 형성된 캐핑 막을 포함하고, 상기 캐핑막은 상기 절면막에 대해 식각 선택비가 높은 물질로 미루어지는 반도체 집적

청구항 3. 제 1 항에 있어서, 상기 절연막 내에 형성되며 일측이 상기 저항 소자의 일측과 접촉하는 제 1 더미 비트 라인 구조체와 일측이 상기 저항 소자의 다른 일측과 접촉하는 제 2 더미 비트 라인 구조체 를 더 포함하는 반도체 집적 회로

청구항 4. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체와 상기 제 2 더미 비트 라인 구조체는 상기 절연막과 동일 수준에 위치하는 반도체 집접 회로.

청구항 5. 제 3 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체 각각은 배리어막 및 도전성 물질막으로 이루어지는 더미 비트 라인과 상기 더미 비트 라인 상면에 형성된 더미 비트 라인 캐핑막을 포함하고, 상기 더미 비트 라인 캐핑막은 상기 절연막에 대한 식각 선택비가 높은 물 질로 이루어지는 반도체 집적 회로.

청구항 6. 제 5 항에 있어서, 상기 제 1 더미 비트 라인 구조체 및 제 2 더미 비트 라인 구조체는 상기 더미 비트 라인 캐핑막 및 상기 더미 비트 라인의 양측벽에 형성되고 상기 절연막에 대해 식각 선택비가 높은 불질로 미루어지는 더미 비트 라인 스페이서를 더 포함하는 반도체 집적 회로.

청구항 7. 셀 머레이 영역과 주변 회로 영역을 포함하는 반도체 기판,

상기 반도체 기판 상에 형성되는 절연막.

상기 주변 회로 영역의 상기 절면막 상에 형성되는 적어도 2개 이상의 더미 비트 라인 구조체들, 및 상기 민접하는 데미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 이루어지는 저항 소자를 구비하 는 반도체 집접 회로.

청구항 8. 제 7 항에 있어서, 상기 저항 소자는 상기 절면막의 내부까지 신장되어 있는 반도체 집적 회

청구항 9. 제 8 항에 있어서, 상기 저항 소자는 상기 반도체 기판 표면까지 신장되어 있는 반도체 집적 회로.

청구항 10. 제 1 항 또는 제 7 항에 있어서, 상기 도전성 물질은 플리실리콘인 반도체 집적 회로.

청구항 11. 셀 어레이 영역과 주변 회로 영역을 포함하는 반도체 기판을 준비하는 단계,

상기 반도체 기판 상에 제 1 절연막을 형성하는 단계,

상기 제 1 절연막 상의 주변 회로 영역에 적어도 2개 이상의 터미 비트 라인 구조체들을 형성하는 단계, 상기 상호 인접하는 더미 비트 라인 구조체들에 의해 한정되고 도전성 물질로 미루어지는 저항 소자를 형성하는 단계를 포함하는 반도체 집작 회로 형성 방법

청구항 12. 제 11 항에 있어서, 상기 기판을 준비하는 단계와 상기 제 1 절연막을 형성하는 단계 사이에, 상기 저항 소자 하부의 상기 제 1 절연막 내에서 상기 제 1 절연막과 동일 수준에 위치하는 더미 게이트 전국 구조체를 형성하는 단계를 더 포함하는 반도체 집접 회로 형성 방법.

청구항 13. 제 11 항에 있어서, 상기 더미 비트 라인 구조체 형성 단계와 상기 저항 소자형성 단계 사이에, 상기 더미 비트 라인 구조체들을 덮는 제 2 절면막을 형성하는 단계를 더 포함하고, 상기 저항 소자 형성 단계는 상기 제 2 절면막의 소정 부분을 식각하여 상기 저항 소자용 개구부를 형성하는 단계, 상지 형성 단계는 상기 제 2 절면막의 소정 부분을 식각하여 상기 저항 소자용 개구부를 형성하는 단계, 상기 개구부를 포함한 상기 반도체 기판에 도전성 물질총을 형성하는 단계 및 상기 도전성 물질총을 상기 개구부를 포함한 상기 반도체 기판에 도전성 물질총을 형성하는 단계 및 상기 도전성 물질총을 상기 대한 라인 연결체들의 상면이 노출될때까지 식각하는 단계를 포함하는 반도체 집접 회로 형성 방법.

청구항 14. 제 12항에 있어서, 상기 데미 게이트 전국 구조체를 형성하는 단계에서, 상기 셀 머레미 영역에서는 상기 제 1 절면막과 동일 수준에 위치하는 게이트 전국 구조체를 동시에 형성하는 반도체 집접회로 형성 방법.

청구항 15. 제 기항에 있어서, 상기 주변 회로 영역의 더미 비트 라인 구조체들을 형성하는 단계에서 상기 셀 어레이 영역에서는 비트 라인 구조체를 동시에 형성하며, 상기저항 소자 형성 단계에서 상기 셀 어레이 영역에서는 민접하는 상기 비트 라인 구조체에 의해 한정되는 자기 정렬 콘택 플러그를 동시에 형 성하는 반도체 집접 회로 형성 방법.

청구항 16, 제 11 항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막의 내부까지 신장하도록 상기 제 1 절연막을 식각하는 반도체 집접 회로 형성 방법.

청구항 17. 제 11 항에 있어서, 상기 저항 소자 형성 단계에서 상기 저항 소자가 상기 제 1 절연막 하 부익 상기 반도체 기판까지 신장하도록 상기 제 1 철연막을 식각하는 반도체 집접 회로 형성 방법.

청구항 18. 제 11항에 있머서, 상기 도전성 물질층은 폴리실리콘층인 반도체 집접 회로 형성 방법.

SP

